# This Page Is Inserted by IFW Operations and is not a part of the Official Record

### **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

# IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Problem Image Mailbox.



#### PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001044437 A

(43) Date of publication of application: 16.02.01

(51) Int. CI

H01L 29/786 H01L 29/78 H01L 21/336

(21) Application number: 11211677

(22) Date of filing: 27.07.99

(71) Applicant:

**MATSUSHITA ELECTRONICS** 

INDUSTRY CORP

(72) Inventor:

KOTANI NAOKI

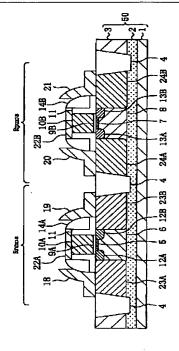
## (54) MOS TRANSISTOR AND MANUFACTURE THEREOF

#### (57) Abstract:

PROBLEM TO BE SOLVED: To shallowly form a source region and a drain region of a MOS transistor, while suppressing leakage current.

SOLUTION: After a first gate electrode 10A is formed on an SOI substrate 50, an amorphous silicon film, grown over the entire surface, is patterned on the SOI substrate 50. An nMOS source electrode 18 and an nMOS drain electrode 19 are formed on side regions, respectively, of the first gate electrode 10A on the SOI substrate 50, and the electrode is implanted with arsenic ions. With the SOI substrate 50 thermally processed, the arsenic ions implanted in the nMOS source electrode 18 and nMOS drain electrode 19 are diffused in the SOI substrate 50, to form an n-type high-concentration source region 23A and n-type high-concentration drain region 23B.

COPYRIGHT: (C)2001, JPO



特開2001-44437 (11)特許出願公開番号

(P2001-44437A)

(43)公開日 平成13年2月16日(2001.2.16) テーマコード (参考) 616S (全12貫) 審査請求 未請求 請求項の数11 01

> 3018 301P 616L

29/18

H 0 1 L

微別記号

H01L 29/786 29/18

(51) Int.Cl.7

21/336

(21) 出願番号	<b>特閣</b> 平11-211677	(71)出版人 000005843	000005843
(22) 出版日	平成11年7月27日(1999.7.27)		松下電子工業株式会社 大阪府高槻市幸町 1番 1号
		(72) 発明者	粉谷 直樹
			大阪府高槻市幸町1番1号 松下電子工業
		٠	株式会社内
		(74) 代理人	100077931
			弁理士 前田 弘 (外1名)

(54) 【発明の名称】 MOSトランジスタ及びその製造方法

57) [要約

リーク電流を抑制しつの、MOSトランジス タのソース領域及びドレイン領域を殺く形成できるよう [韓]

用ドレイン組織19をそれぞれ形成し、その後、減船権 10 Aを形成した後、SO1 基板50の上に全面に可っ 【解決手段】 SO1 基板50の上に第1のゲート電極 て成長させたアモルファスシリコン版をパターニングし て、SOI 基板50上における第1のゲート電極10A の包力の領域にnMOS用ソース配極18及びnMOS に砒茶イオンを住入する。 SOI 塩板50に対して熱処 理を行なって、nMOS用ソース配極18及びnMOS 用ドレイン電極19に注入された砒茶イオンをSO1基 版50に拡散させることにより、n型高濃度ソース領域 2 3 A 及び n 型高濃度ドレイン領域 2 3 B を形成する。

【語求項1】 半導体基板上に形成されたゲート電極 【年におその指注】

前記半導体基板上における前記ゲート電極の側方の領域 前記半導体基板における前記ソース電極の下側の領域及 び声記ドレイン粗棒の下筒の海峡にそれぞれ形成された にそれぞれ形成されたソース粗権及びドレイン組権と ソース領域及びドレイン領域とを備え、

前記ソース電極及びドレイン電極は、前記半導体基板上 における少なくとも前記ゲート粗極の関方の領域に成駁 されたアモルファスシリコン膜がパターニングされるこ とによって形成され、

前記ソース領域及びドレイン領域は、前記ソース電極及 びドレイン電極に注入された不純物が前記半導体基板に 拡散されることによって形成されていることを特徴とす るMOSトランジスタ。

【請求項2】 前記ソース電極及びドレイン電極はシリ サイド化されていることを特徴とする請求項1に記載の MOS トランジスタ。 【請求項3】 前記半導体基板はSOI 基板であること 【請求項4】 半導体基板上にゲート電極を形成する工 を特徴とする語水項1に記載のMOSトランジスタ。

前記半導体基板上における少なくとも前記ゲート電極の 側方の領域にアモルファスシリコン脱を成長させる工程 前記アモルファスシリコン戦をパターニングして、前記 前記ソース電極及びドレイン電極に不純物を注入する工 半導体基板上における前記ゲート電極の側方の領域にソ ース電極及びドレイン電極をそれぞれ形成する工程と、

最格質に据く

前記半導体基板に対して熱処理を行なうことにより、前 前記半導体基板における前記ソース電極の下側の領域及 **び走消ドレイン
転権の下軍の強権に対
被がわれ、ソース** 領域及びドレイン領域をそれぞれ形成する 1.. 得とを備え 記ソース電極及びドレイン電極に注入された不適物を、 ていることを特徴とするMOSトランジスタの製造方

【請求項5】 前記ソース領域及びドレイン領域を形成 する工程の後に、前記ソース電極及びドレイン電極の上 に金属版を堆積した後、該金属版に対して熱処理を行な **らた、崩消シース賠償及びドレイン賠債をシリサイド化** する工程をさらに備えていることを特徴とする語水項4 に記載のMOSトランジスタの製造方法。

半導体基板の表面に形成されている酸化膜を除去する工 【讃水項6】 前記ゲート配権を形成する工程と前記ア モルファスシリコン膜を成長させる工程との間に、前記 **強をさらに備え、**  半導体基板を、400℃程度以下の温度に保持された熱

前記アモルファスシリコン戦を成長させる工程は、前記

処理が内に投入した後、通記アモルファメシリコン戦を 成長させる「程を含むことを特徴とする語水項4に記載 のMOSトランジスタの製造方法。 【趙永墳7】 前記ゲート電極を形成する 1.程と前記ア モルファスシリコン脳を成長させる工程との間に、前記 度ソース領域及び低濃度ドレイン領域をそれぞれ形成す る「強と、道記ゲート配権の関脳にサイドウォールを形 半草体基板における前記ゲート電極の側方の領域に低濃 成する工程とをさらに値え、 前記アモルファスシリコン戦を成及させる工程は、前記 アモルファスシリコン版を500~550°C程度の温度 で成長させる『程を含むことを特徴とする語水項すに記 載のMOSトランジスタの製造方法。

モルファスシリコン膜を成長させる工程との間に、前記 【請求項8】 前記ゲート電極を形成する工程と前記ア ゲート電極の側面にサイドウォールを形成する1.程をさ らに揺れ、 前記アモルファスシリコン概を成長させる工程は、前紀 ゲート電極の上を含む前記半導体基板の上に前記アモル ファスシリコン膜を成長させる工程を合み、

前記ソース電極及びドレイン電極を形成する工程は、前 様が前記サイドウォールとオーバーラップするようにパ ターニングする工程を含むことを特徴とする請求項4に 記アモルファスシリコン概を、滅アモルファスシリコン 記載のMOSトランジスタの製造方法。

「静水項9】 前記ゲート電極を形成する工程と前記ア モルファスシリコン版を成長させる工程との間に、前記 ゲート電極の上を含む前記半導体基板の上に第1の絶縁 戦を成長させる工程と、前記ゲート電極の氤囲に前記第 1の絶縁版を介して、第2の絶縁殿からなるサイドウォ **ールを形成する工程と、前記第1の絶縁戦における前記** 半導体基板の上に露出する部分を除去して、前記ゲート **電極上における前記サイドウォールに囲まれている領域** に開口部を形成する 1. 程とをさらに備え、

前記アモルファスシリコン数を成長させる工程は、前記 ゲート電極の上を含む前記半導体基板の上に前記アモル ファスシリコン膜を成長させる工程を含み、

前記ソース電極及びドレイン電極を形成する工程は、前 記アモルファスシリコン版を、波アモルファスシリコン 数が前記開口部に数存するようにパターニングして、前 記ゲート階極の上にゲート上部電極を形成する工程を含 むことを特徴とする語水項4に記載のMOSトランジス

治記第1の絶縁戦はシリコン酸化戦や あり、前記第2の絶縁殿はシリコン強化膜であることを 特徴とする請求項9に記載のMOSトランジスタの製造 [ 請永項 1 0 ] タの製造方法。

【請求項11】 前記半導体基板はSO1基板であるこ とを特徴とする請求項4に記載のMOSトランジスタの

3

1000

【発明の属する技術分野】本発明は、MOSトランジスタ及びその製造方法に関するものである。

0002]

【従来の技術】近年、中華体装団分野において急速な衛館化又は低端費電力化が進んでいるため、MOSトサンジメタにおいては、複万面の領電化のよりデザインルール離小に作って、縦万面の領電化のより背製圏のシャロー化(後校合化)が風襲になってきている。

【0003】従来のMOSトランジスタの製造方法、良体的にはCMOSトランジスタの製造方法について図り及び図10を参照しながら凝明する。

n MO S形成領域と称する)R<sub>nmos</sub>及びpチャネルMO Sトランジスタ形成領域(以下、pMOS形成領域と称 Rumosにn MOS用しきい値制御路103及びp型ウェ ル栖104を形成すると共に p MO S形成領域R pmosit p.MOS用しきい値前御局105及びn型ウェル層10 6 を形成し、その後、n MOS 形成短板 B maosの上に筋 なる第1のゲート電極108Aを形成すると共に、pM OS形成領域Rpmosの上に第2のゲート酸化膜107B スクとして n MO S 形成領域 R nmos に対して n 型不純物 極108Aの側面にTEOS睒からなる第1のサイドウ 01の所定の領域にシャロートレンチ分離102を形成 する)Rpmosをそれぞれ規定した後、n-MOS形成領域 1のゲート酸化酸107Aを介してポリシリコン酸から を介してポリシリコン版からなる第2のゲート組織10 8日を形成する。 次に、第1のゲート間極108Aをマ を斜め方向にイオン往入してn型低濃度ソース領域10 9 A 及び n 型低濃度ドレイン領域 1 0 9 B を形成すると 共に、第2のゲート電極108BをマスクとしてpMO S形成領核Riggic対してp型不純物を斜め方向にイオ ノ注人して p 型低濃度 ソース領域 1 1 0 A 及び p 型低濃 戦ドレイン領域110Bを形成した後、第1のゲート<mark>制</mark> オール111Aを形成すると共に、第2のゲート電極1 [0004]まず、図9に示すように、シリコン基板1 O8Bの関面にTEOS版からなる第2のサイドウォー して、nチャネルMOSトランジスタ形成領域(以下、 ル111日を形成する。

【0005】次に、図10に示すように、第1のゲート 配衝108 A及び第1のサイドウォール111 AをマスタとしてnMO S形成領域Rmmosに対してn型不流物をイオン注入してn型高速度ソース領域112 A及びn型の設度ドレイン領域112 Bを形成すると共に、第2のゲート電衝108 B及び第2のサイドウォール111 BをマスタとしてpMO S形成領域Rmmsに対してp型不能物をイオン注入してp型高速度アレイン領域113 A及びp型高速度ドレイン領域113 Bを形成した後、第1のゲート電極108 Aの上、第2のゲート電極108 Aの上、n型高速度アース領域112 Aの上、n型高速度アレイン領域112 Aの上、n型高速度

ドレイン領域1128の上、p型高額度ソース領域1138の上にシリコン面114を選択的にエビタキシャル成長させる。その後、図示は石路しているが、シリコン面1114の上に金銭数を推積した後、減金属級に対して熱処理を行なってシリコン面114をジリサイド化する。これにより、第1のゲート結構108A、第2のゲート結構108B、n型高額度アレイン領域112B、p型高額度ドレイン領域112B、p型高額度ドレイン領域113Bのそれぞれにおけるシリコン面114と核する領域がシリオイドにされる。1006]

「発明が解決しようとする課題」ところで、近数商をシャロー化するために、言い後えると、ソース領域及びドレイン領域を後く形成するために、前記のイオン柱入によりソース領域及びドレイン領域を形成する方法に代えて、半導体基板上におけるゲート電極の側方の領域にコピタキシャル層を進択的に成長させた後、該エピタキシャル層に含まれる不純物を半導体基板には酸させてソース領域及びドレイン領域を形成する方法が用いられている。波方法により形成されるMOSトランジスタの構造は、エレベーティッド・ソースドレイン構造、或いは、持ち上げ型ソースドレイン構造と呼ばれている。

14年の11年の前域にエピクキシャル商 (例えば図1の かソリコン面114) を選択的に成長された場合、面分 位が(1111) の模割を持った領域(以下、ファセット 作が(1111) の模割を持った領域(以下、ファセット を行する)が形成される結果、エピクキシャル 個上ゲー を行わ)との間に構(図10の領域を参照)が発生して リーク電流の原因が生じてしまう。一方、前記の溝を消して リーク電流の原因が生じてしまう。一方、前記の溝を削し 次させるためにエピクキシャル層の様別を電池をせる と、森子分離(例えば図10のシャロートレンチ分離1 の2)上においてエピクキシャル層の様別を(図10の 領域日参照)が生じる結果、いわゆるフリッジが発生して フリーク電流の原因が生じてしまう。

[0008]また、実用上十分なエビタキシャル超の成長レートを得るためには、1000℃程度以上の高温下でエビタキシャル成長を行なう必要がある。方、高温下でエビタキシャル成長を行なうと、予め形成されている 伝護度ソース領域又は低濃度ドレイン領域に合まれる不穏物が拡散してしまうので、ゲート反が縮小してしきいが開出所急激に低ドするという問題(ショートチャネルの果)が生じる。

【のののり】また、エビタキシャル層を成長させるときの成長条件によっては選択性が確保できない場合があるため、エビタキシャル層を形成する必要がない領域に、エビタキシャル層の異常成長が発生してしまう場合があ

【0010】さらに、持ち上げ型ソースドレイン構造を 形成するために、半導体基板上におけるゲート結構の値 力の領域にボリシリコン酸を半導体基板との間に形成される 場合、波ボリシリコン酸と半導体基板との間に形成されている界面酸化酸を伝域すると、ボリシリコン酸と半導 成長が発生しやすくなる。一方、ボリシリコン酸と半導 体基板との間に形成されている界面酸化酸をその主達 存させると、ボリシリコン酸をシリサイド化したとき に、ソース領域又はドレイン領域におけるボリシリコン 概と抜する領域を均・にシリサイド化できなくなる。す なわち、ソース領域の表面部、又はドレイン領域の表面 部にシリサイド化されない領域が生面 部にシリサイド化されない。

【0011】高記の問題に離み、本発野は、リーク低流を心制しつし、MOSトランジスタのソース領域及びドレイン領域を残く形成できるようにすることを目的とす

[0012]

【戦闘を解決するための手段】前記の目的を達成するため、本発明に係るMOSトランジメタは、半導体基板上におけるケート部様と、半導体基板上におけるケート部様の関方の領域にそれぞれ形成されたソース電極の下間の領域にそれぞれ形成されたソース電極の下間の領域にそれぞれ形成されたソース電極の下間の領域にそれぞれぞれ形成されたソース領域及びドレイン部権の下間の領域に表れてカイン部権の下間の領域に表れたカースが移動でといるより上、設がパターニングされることによって形成され、ソース領域及びドレイン領域に成数されたアモンファスシリコン設がパターニングされることによって形成され、ソース領域及びドレイン領域は、ソース領域及びドレイン管域には、大された不純物が半導体基板に拡強されることによって形成され、とによって形成されている。

様及びドレイン領域を設く形成することができる。 【0014】本発明のMOSトランジスタにおいて、ソ 一×稻楠及びドレイン粗種はシリサイド化されていることが好ました。

【0015】このようにすると、ソース電衝及びドレイン電極を低低抗化することができる。

【0016】本発明のMOSトランジスタにおいて、半 専体基板はSO1基板であることが好ましい。 [0017] このようにすると、MOSトランジスタの

 $\widehat{\Xi}$ 

**哲生容量を低減することができる。** 

【0018】本発明に係るMOSトランジスクの製造力 並は、半導体基板上にケート配種を形成する「偏と、半 単体基板上における少なくともゲート配種の個力の領域 にアキルファスシリコン数を成及させる「偏と、アキル ファスシリコン数をパターニングして、半導体基板上に おけるゲート電極の関力の領域にソース配種及びドレイン配値をそれぞれ形成する「偏と、ソース暗極及びドレイン配値に不適物を在入する「偏と、半導体基板に対し イン配値に不適物を在入する「偏と、半導体基板に対し て熱処理を行なっことにより、ソース配面及びドレイン 電極に在人された不緩物を、半導体基板に対けるソース 電極の下側の領域及び消化ドレイン配種の下側の領域に 世数させて、ソース領域及びドレイン配極の下側の領域に 世数させて、ソース領域及びドレイン配極の下側の領域に 就する「稿とを編えている。

【0019】本発明のMOSトランジスタの製造力法によると、半導体基板上における少なくともゲート電極の側方の領域にアモルファスシリコン数を成長させた後、破アモルファスシリコン数を成長させた後、破アモルファスシリコン数の成長時にファセットが形成されてアモルファスシリコン数の成長時にファセットが形成されてアモルファスシリコン数の成月時におけるアモルファスシリコン数の批別を活みが発生する事態を防止できる。従って、ソース電極及びドレイン電極に注入される不純物を半導体基板に起散させることにより、リーク観流を抑制しつのソース領域及びドレイン領域を強く形成することがでのソース領域をがドレイン領域を整く形成することがで

【のの20】本発明のMOSトランジスクの製造力法において、ソース領域及びドレイン領域を形成する「傷の後に、ソース組織及びドレイン領域の上に金属機を推領した後、減金函数に対した戦の理を行なった、ソース電磁及びドレイン電磁をジリサイド化する工程をからに偏さえていることが与ましい。

【0021】このようにすると、ソース船橋及びドレイン船橋を低低抗化することができる。

プロ機で広野がによってのできる。 【0022】本発明のMOSトランジスタの製造力法に おいて、ゲート電積を形成する工程とアモルファスツリ コン説を成長させる工程との開に、半導体基板の表面に 形成されている酸化酸を除立する工程をきらに備え、ア モルファスシリコン酸を成長させる工程は、半導体基板 を、400℃程度以下の温度に保持された熱処理が内に 投入した後、アモルファスシリコン酸を成長させる工程 を含むことが好ましい。

【0023】このようにすると、アモルファスシリコン 数の異常成長を防止しつら、半導体温板とアモルファス シリコン数との間に形成される界面酸化酸を低減できる ため、ソース電幅とソース領域との間のコンタット板 抗、及びドレイン電幅とドレイン領域との間のコンタッ ト税抗を低減できると共に、ソース領域におけるソー 種をシリサイド化する場合に、ソース領域におけるソー 9

ン電極と接する領域を均一にシリサイド化することがで × 毛権と接する領域、及びドレイン領域におけるドレイ

アモルファスシリコン戦を成長させる工程は、アモルフ 【0024】本発明のMOSトランジスタの製造方法に おいて、ゲート電極を形成する「程とアモルファスシリ コン酸を成長させる工程との間に、半導体基板における ゲート電極の間方の領域に低濃度ソース領域及び低濃度 ドレイン領域をそれぞれ形成する「程と、ゲート電極の アスシリコン版を500~550℃程度の温度で成長さ 関面にサイドウォールを形成する「罹とをさらに鑑え、 せる工程を含むことが好ましい。

【0025】このようにすると、既改度ソース領域及び 氏濃度ドレイン領域に含まれる不純物が拡散する事態を 坊止できるので、ショートチャネル効果を抑制すること

サイドウォールを形成する 「、程をさらに備え、アモルフ 含む半導体基板の上にアモルファスシリコン脳を成長さ る工程は、アモルファスシリコン概を、該アモルファス シリコン版がサイドウォールとオーバーラップするよう おいて、ゲート電極を形成する工程とアモルファスシリ アスシリコン版を成長させる工程は、ゲート電極の上を 【0026】本発明のMOSトランジスタの製造方法に コン酸を成長させる工程との間に、ゲート配極の側面に せる工程を含み、ソース電極及びドレイン電極を形成す にパターニングする工程を含むことが好ましい。

【0027】このようにすると、アモルファスシリコン **数とゲート配桶との間に溝が生じる事態を確実に防止で** 

模からなるサイドウォールを形成する1. 惺と、第1の絶 5 領域に開口部を形成する 1. 程とをさらに備え、アモル させる工程を含み、ソース配極及びドレイン配極を形成 する工程は、アモルファスシリコン戦を、該アモルファ おいて、ゲート電極を形成する1.程とアモルファスシリ コン膜を成長させる工程との間に、ゲート電極の上を含 ゲート電極の関面に第1の絶縁駁を介して、第2の絶縁 て、ゲート電極上におけるサイドウォールに囲まれてい ファスシリコン戦を成長させる工程は、ゲート結権の上 を含む半導体基板の上にアモルファスシリコン膜を成長 スシリコン核が開口部に残存するようにパターニングし て、ゲート電極の上にゲート上部電極を形成する『異を 【0028】本発明のMOSトランジスタの製造方法に ウ半導体基板の上に第1の絶縁版を成長させる工程と、 妹膜における半導体基板の上に露川する部分を除去し 含むことが好ましい。

ン配便の形成時にゲート上部配極を形成することができ 【0029】このようにすると、ソース電極及びドレイ

【0030】ゲート上部粗幅を形成する場合、第1の絶

**橡膜はシリコン酸化膜であり、第2の絶縁膜はシリコン** 

発化膜であることが好ましい。

め、第1の絶縁膜を除止するときに、第2の絶縁膜から 【0031】このようにすると、シリコン室化版がシリ コン酸化脱に対してエッチング遊収性を有しているた なるサイドウォールが除去される事態を防止できる。

【0032】本発明のMOSトランジスクの製造方法に おいて、半導体基板はSOI基板であることが砂まし [0033] このようにすると、MOSトランジスタの 各生容量を低減することができる。

[0034]

【発明の実施の形態】以下、本発明の一実施形態に係る MOSトランジスタ及びその製造方法について、図1~ 図8を参照しながら説明する。

を形成して、n MO S 形成短板 R nmox 及び p MO S 形成 BOX酸化版2上に形成されたシリコン層3とからなる 【0035】まず、図1に示すように、シリコン基板1 SOI 基板50の所定の領域にシャロートレンチ分離4 と、シリコン基板1上に形成されたBOX酸化膜2と、 領域Rpmosをそれぞれ規定する。

て、nMOS用しきい値制御層5及びp型ウェル層6を 順次形成する。また、SOI基板50上にpMOS形成 領域R pmosに開口部を有するレジストパターン(図示省 【0036】次に、SOI基板50上にnMOS形成領 略)を形成した後、波ワジストバターンをシスクとして 略)を形成した後、波レジストパターンをシスクとして て、pMOS用しきい値制御層7及びn型ウェル層8を 域 Rimos に関ロ部を有するレジストパターン(図示省 n MOS形成領域R masに対してイオン注入を行なっ b MOS 形成領域 B pmos に対してイギン年入を行なら

**移成し、その後、該レジストパターンをマスクとして前** 記のボリシリコン膜及びシリコン酸化膜に対して順次ド ライエッチングを行なって、nMOS形成領域Rnmosの を形成すると共に、 p MO S 形成領域 R pmos の上にシリ コン酸化酸からなる第2のゲート酸化酸9Bを介してポ コン膜を順次成長させた後、該ボリシリコン膜上にゲー ト電極形成領域を覆シワジストパターン(図示省略)を 上にシリコン酸化膜からなる第1のゲート酸化膜9Aを 介してポリシリコン版からなる第1のゲート配極10A リシリコン版からなる第2のゲート電極10Bを形成す て、例えば戦厚3mmのシリコン酸化戦、及びボリシリ 【0037】次に、SOI基板50の上に全面に亘っ

【0038】次に、図2に示すように、第1のゲート電 ○1 基板50の上に全面に亘って、例えば瞭摩30nm 0 Aをマスクとして n MO S 形成短板 R nmos に対して n 極10Aの上及び第2のゲート電極10Bの上を含むS のTEOS膜11を成長させた後、第1のゲート電極1 型不純物を斜め方向にイオン注入してn型低濃度ソース

【0043】 次に、 レジストパターン11をマスクとし てアモルファスシリコン戦16に対してドライエッチン

ると共に、第2のゲート電廠10Bをマスクとして p.M **領域12A及びn型低濃度ドレイン領域12Bを形成す** OS形成領域 Ribmos に対して p 型不満物を斜め 方向に入 オン注人して p 型低濃度ソース領域 1 3 A 及び p 型低濃 **選ドレイン領域13Bを形成する。** 

た、例えば脱厚 2 0 0 n mのシリコン寮化版を成及させ た後、該シリコン室化版に対してドライエッチングによ るエッチバックを行なって、図3に示すように、第1の コン窓化膜からなる第1のサイドウォール14Aを形成 すると共に第2のゲート電極10Bの側面にTEOS膜 ゲート結構10Aの側面にTEOS脱11を介してシリ 1.1 を介してシリコン窓化版からなる第2のサイドウォ --ルコユBや形成する。 泡、ツリコン端化酸はTEOS [0039] 次元、TEOS数11の上に金通に回り 模11に対してエッチング選択性を有している。

【0040】次に、図4に示すように、第1のサイドウ としてTEOS脱11に対してウエットエッチングを行 路出する部分を除去する。これにより、第100ゲート電 オール14Bに囲まれている領域に第2の開口部15B ナール 1 4 A 及び第 2 のサイドウォール 1 4 B をシスク なって、TEOS敷11におけるSO1 基板50の上に 極10A上における第1のサイドウォール14Aに囲ま に、第2のゲート組織10B上における第2のサイドウ れている領域に第1の開口部15Aが形成されると共

Aの上及び第2のゲート階極10Bの上を含むSO1基 いる酸化酸(自然酸化酸等、図示省略)をウエットエッ 板50の上に全面に亘って、例えば靱厚40nmのアモ ファスシリコン戦16と801基板50との間に形成さ 【0041】次に、SO1基板50の表面に形成されて チングにより完全に除去した後、801 基板50を、4 し、その後、図5に示すように、第1のゲート電極10 度、例えば530℃で成長させる。これにより、アモル ルファスシリコン膜16を500~550℃程度の温 00℃程度以下の温度に保持された熱処理炉内に投入 れる界面酸化膜を低減できる。

【0042】次に、アモルファスシリコン版16の上に 全国に言ったアジスト戦を形成した後、城アジメト戦を リソグラフィー拉によりパターニングして、図6に示す のゲート配権10Aの囲力の領域に、第1のサイドウォ p MO S 形成領域 R pmos上においては、レジストパター ン17を、アモルファスシリコン版16上における第2 のゲート配権10Bの倒力の領域に、第2のサイドウォ n MO S 形成領域 R mos上においては、レジストパター ン17を、アモルファスシリコン膜16上における第1 ように、レジストバターン17を形成する。すなわち、 ールし4Aとオーバーラップするように形成し、また、 **ール14Bとオーバーラップするように形成する。** 

レジストパターンをマスクとしてnMOS用ソース組織 4.Aとオーバーラップするようにそれぞれ形成されてお り、また、pMOS用ソース電極20及びpMOS用ド ×粗極 1 8 及び n MO S 用ドレイン粗極 1 9 に関ロ部を 有するレジストパターン (図示省略) を形成した後、該 imos 上に形成すると共にアモルファメシリコン戦16か のとき、n MOS用ソース電廠18及びn MOS用ドレ ト粕庵10Aの餌方の短板に、斑1のサイドウォール1 レイン電極21は、SOI基板50上における第2のゲ 2 Aが形成されていると共に第2のゲート電極10Bの 18及びnMOS用ドレイン結極19に対して、n型不 イン粕種19は、801塩板50上における第1のゲー ート組織10Bの側方の領域に、第2のサイドウォール 14Bとオーバーラップするように形成されている。ま た、アモルファスシリコン膜16を、嵌アモルファスシ 第1のゲート組織10Aの上に第1のゲート上部組織2 グを行なうことにより、図7に示すように、アモルファ スシリコン版16からなるn MOS用ソース電極18及 らなる p MO S 用ソース電極20及び p MO S 用ドレイ ン電極21をpMOS形成領域Rpmos上に形成する。こ リコン数16が第1の開口部15A及び第2の開口部1 **【0044】次に、SO1 温板50上にnMOS用ソー** 5 Bに投作するようにパターニングすることによって、 A、ドーズ重が3.0×1015個/cm2の条件ドでイ びnMOS用ドレイン結構19かnMOS形成態製R **落物、倒えば角球イガンや加速エネルギーが30Ke** 上に第2のゲート上部電極22Bが形成されている。

レジストバターンをマスクとしてpMOS用ソース組織 20及びpMOS用ドレイン結構21に対して、p型イ ス配極20及び DMOS用ドレイン配極21に関ロ部を 有するレジストパターン (図示省略) を形成した後、竣 部核、回えばBF2 イギンや加速エネルギーが20Ko [0045] 次に、SO1基板50上にpMOS用ソー V、ドーズ重が2.0×10<sup>15</sup>個/cm<sup>2</sup>の条件ドでイ

イン注入する。

類 Rimosにおける n MOS用ドレイン配像 19のド室の 粗茶イインが、n MOS形成領域 Rimosにおけるn MO ソース領域23Aが形成されると共に、nMOS用ドレ イン
転換 1 9 計会 まれる 角球イギンが、 n MOS 形 長短 ン粗極21に含まれるBF2イオンが、pMOS形成筋 う。これにより、nMOS用ソース階級18に含まれる S用ソース配権18のド国の領域に拡散してn型高濃度 2 イオンが、pMOS形成短模RpmosにおけるpMOS 用ソース電極20の下側の領域に拡散してp型高濃度ソ [0046]次に、SOI基板50に対して、例えば1 領域に拡散してn型高微度ドレイン領域23Bが形成さ れる。また、pMOS用ソース電極20に含まれるBF ース領域24Aが形成されると共に、pMOS用ドレイ 000℃、10秒間のRTA(急速加熱処理)を行な

8

域 R prosit おける p MOS用ドレイン組織 2 1の下側の 領域に抗殺して「型高濃度ドレイン領域24Bが形成さ

シリサイド電極26、 pMOS用ソースシリサイド電極 する。また、前記のコバルト版を第1のゲート上部電極 [0047] 次に、nMOS用ソース電板18、nMO S用ドレイン結構19、pMOS用ソース結准20及び り、図8に示すように、各部権をシリサイド化してnM O S 用ソースシリサイド館極25、n MO S 用ドレイン 27及び b MOS用ドレインシリサイド転換28を形成 22A及び第2のゲート上部電極22Bの上にも堆積し て熱処理を行なうことにより、各ゲート上部電極をシリ サイド化して第1のゲート上部シリサイド電極29A及 ト上部電便22Aと接する領域、第2のゲート電極10 配権18と接する領域、n型高濃度ドレイン領域23B 型高濃度ソース領域24Aにおける p MO S 用ソース電 Bにおける p MO S 用ドレイン電極2 1 と接する領域も p MO S 馬ドレイン船廠 5 1の上にコバルト戦を推復し このとき、第1のゲート記機10Aにおける第1のゲー n 型高濃度ソース領域23Aにおける n MO S 用ソース 電20と接する領域、及びp型高濃度ドレイン領域24 それぞれシリサイド化されて各シリサイド電極の一部と び第2のゲート上部シリサイド電極29Bを形成する。 Bにおける第2のゲート上部電幅32Bと校する領域、 た後、波コバルト版に対して熱処理を行なうことによ におけるn MOS用ドレイン配極19と校する領域、

及び b MOS用ドレイン電極21に注入される p 型不純 【0048】本実施形態によると、SO1 基板50の上 に全面に亘ってアモルファスシリコン戦16を成長させ た後、跛アモルファスシリコン膜16をパターニングし た、n MO S 用ソース色換18、n MO S 用ドレイン結 優19、pMOS用ソース電廠20及びpMOS用ドレ イン電極21毫形成するため、アモルファスシリコン膜 16の成及時にファセットが形成されてアモルファスシ トレンチ分離4上におけるアモルファスシリコン戦16 イン電極19に注入されるn型不純物をnMOS形成領 域Rmnosに拡散させると共にpMOS用ソース電極20 リコン睒16と第1のゲート電極10A又は第2のゲー の報引きによりブリッジが発生する事態を防止できる。 なった、nMOS用ソース電極18及びnMOS用ドレ n 型高微度 ドレイン領域23B、p型高濃度ソース領域 2 4A、及びp型高濃度ドレイン領域24Bを浅く形成 ト電極10Bとの間に溝が生じる事態、或いはシャロー 物をpMOS形成領域Rpmosに拡散させることにより、 リーク電流を拍制しのつ n 型高濃度ソース領域23A、 することができる。

ース組織18、nMOS用ドレイン組織19、pMOS 用ソース配橋20、及びp.MOS用ドレイン配橋21の 【0049】また、本実施形態によると、n MOS用ソ

上にコパルト戦を堆積した後、該コパルト戦に対して熱 5.異を行なってなソース配権及びドレイン配権をシリサ **イド化するため、各ソース電極及びドレイン電極を低抵** 元化することができる。

【0050】また、本実施形態によると、801 堪板5 血酸化膜を低減できるので、n MO S 用ソース電極18 度ドレイン領域24Bとの間のコンタクト抵抗を低減で きる。また、nMOS用ソース電極18、nMOS用ド レイン船権19、p.MOS用ソース船権20及びp.MO **基板50を、400℃程度以下の温度に保持された熱処** 単炉内に投入し、その後、SO1 基板50の上にアモル ファスシリコン脱し6を成反させるため、アモルファス シリコン膜16の異常成長を防止しつつ、801基板5 0 とアモルファスシリコン膜16との間に形成される界 抗、n MO S 用ドレイン電極19とn 型高濃度ドレイン 領域23Bとの間のコンタクト抵抗、pMOS用ソース 電極20とp型高濃度ソース領域24Aとの間のコンタ クト抵抗、及び D MO S 用ドレイン電極 2 1 と p 型 高濃 S 用ドレイン電極 2 1 をシリサイド化する場合に、 n 型 高濃度ソース領域23Aにおけるn MOS用ソース電極 18と接する領域、n型高濃度ドレイン領域23Bにお けるnMOS用ドレイン電極19と接する領域、p型高 喪度ソース領域24AにおけるpMOS用ソース電極2 0と接する領域、及びp型高濃度ドレイン領域24Bに おけるpMOS用ドレイン電極21と接する領域をそれ 3の表面に形成されている酸化膜を除去した後、SOI とn 型高濃度ソース領域23Aとの間のコンタクト抵 ぞれ均一にシリサイド化することができる。

【0051】また、本実施形態によると、n MOS形成 展ドレイン領域12Bを形成すると共にpMOS形成領 域Rpmosにp型低濃度ソース領域13A及びp型低濃度 ール14Bを形成し、その後、アモルファスシリコン脱 | 2 B、p 型低濃度ソース領域13A、及びp 型低濃度 領域 Rimosにn 型低濃度ソース領域12A及びn 型低濃 ドレイン領域13Bを形成した後、第1のゲート電極1 0 Aの図画に第1のサイドウォール14 Aを形成すると 共に第2のゲート電極10Bの側面に第2のサイドウォ n 型低濃度ソース領域12A、n 型低濃度ドレイン領域 ドレイン領域13Bにそれぞれ合まれる不純物が拡散す 5 事態を防止できるので、ショートチャネル効果を抑制 1 6 を 5 0 0 ~ 5 5 0 °C程度の温度で成長させるため、 することができる。

**11種10Aの側面に第1のサイドウォール14Aを形成** ドウォール14Bを形成した後、第1のゲート電極10 4の上及び第2のゲート電極10Bの上を含むSO1基 【0052】また、本実施形態によると、第1のゲート すると共に第2のゲート電極10Bの側面に第2のサイ その後、アモルファスシリコン獣16を、跋アモルファ スシリコン膜16 が第1のサイドウォール14A及び第 坂50の上にアモルファスシリコン膜16を成長させ、

パターコングするため、アモルファスシリコン戦16と 2のサイドウォール 1 4 B とオーバーラップするように 第1のゲート電極10A叉は第2のゲート電極10Bと の間に満が生じる事態を確実に防止できる。

第2の開口部15Bを形成する。このとき、シリコン室 が除止される事態を防止できるので、第1の関ロ部15 【0053】また、本実施形態によると、第1のゲート 記帳10Aの上及び第2のゲート電極10Bの上を合む 第1のゲート配橋10Aの側面にTEOS膜11を介し **たシリコン流化版からなる第1のサイドウォール14A** を形成すると共に第2のゲート配権10Bの側面にTE ドウォール14Bを形成し、その後、TEOS敷11に とにより、第1のゲート電極10A上における第1のサ イドウォール14Aに囲まれている領域に第1の関ロ部 1 5 A を形成すると共に第2のゲート電極1 0 B 上にお ける第2のサイドウォール14Bに掛まれている領域に 化脱がTEOS脱11に対してエッチング選択性を有し ているため、TEOS膜11を除去するときに、第1の サイドウォール 1 4 A 及び第 2 のサイドウォール 1 4 B て、第1のゲート電極10Aの上及び第2のゲート電極 10Bの上を含むSOI 基板50の上にアモルファスシ リコン版16を成長させた後、アモルファスシリコン脱 16を、該アモルファスシリコン膜16が第1の開口部 1 5 A 及び第2の関ロ部15Bに残存するようにパター n MOS用ドレイン配像19、pMOS用ソース配像2 第1のゲート組織10Aの上に第1のゲート上部組織2 2Aを形成できると共に第2のゲート配権10Bの上に OS版11を介してシリコン室化版からなる第2のサイ おけるSOI基板50の上に窮出する部分を除去するこ SO1 基板50の上にTEOS膜11を成長させた後、 0 及び p MO S 用ドレイン電極21を形成するときに、 ニングすることによって、n MOS用ソース配極18、 A及び第2の開口部15Bを確実に形成できる。 徒っ 第2のゲート上部電極22Bを形成できる。

【0054】また、本実施形態によると、半導体塩板と してSO1 基板50を用いているため、MOSトランジ 【0055】塩、本実施形額において、 持ち上げ型ソー スタの寄生容量を低減することができる。

たが、これに代えて、持ち上げ型ソースドレイン構造を 有するnチャネルMOSトランジスタ又はpチャネルM OSトランジスタのみを形成した場合にも、或いは、特 も上げ型ソースドレイン構造を有するCMOSトランジ スタと、パイポーラトランジスタとからなるBiCMO Sトランジスタを形成した場合等にも同等の効果が得ら スドレイン構造を有するCMOSトランジスタを形成し

[0056]また、本実施形態において、半導体基板と してSOI基板を用いたが、これに代えて、シリョン基 【0057】また、本実施形態において、第1のゲート 板等を用いた場合にも同等の効果が得られる。

部版10Aの国団及び第2のゲート配版10Bの国面に TEOS脱11を介したシリコン発化脱からなるサイド ウォールを形成したが、TEOS膜11に代えて、シリ コン室化版に対してエッチング選択性を有する他のシリ ロン敷化版を用いたもばい。

[8600]

じてブリッジが発生する事態を防止できるので、該アモ コン版とゲート結構との間に溝が生じる事態、或いは表 子分離上においてアモルファスシリコン戦の揺引きが生 ルファスシリコン獣からなるソース粗種及びドレイン亀 極に注入される不純物を半導体基板に拡散させることに より、リーク配流を毎回つらのソース領域及びドワイン 【発明の効果】 本発明によると、アモルファスシリコン 戦の成長時にファセットが形成されてアモルファスシリ 領域を浅く形成することができる。

[図面の簡単な説明]

【図1】本発明の一実施形態に係る半導体装置の製造ガ 左の一工権を示す所面図である。

[図2] 本発明の一実施形態に係る半導体装置の製造力 佐の一工権を示す断面図である。

[図3] 本発明の一実施形態に係る半導体装置の製造力 佐の一工程を示す断面図である。 【図4】本発明の一実施形態に係る半導体装置の製造方

【図5】本発明の一実施形態に係る半導体装置の製造方 広の→工程を示す断面図である。

**広の一工程を示す断面図である** 

【図6】本発明の、実施形態に係る半導体装置の製造方 佐の一工程を示す断面図である。 【図7】本発明の一実施形態に係る半導体装岡の製造方 佐の一工程を示す断面図である。

【図8】本発明の、実施形態に係る半導体装置の製造力 [図9] 従来の半導体装置の製造方法の・1. 異を示す断 佐の一丁種を示す断面図である。

[図10] 従来の半導体装置の製造方法の一口積を示す 断面図である。 面図である。

[符号の説明]

シリコン場板 BOX低化胶 ショコン面

n MOS用しきい値制御随 シャロートフンチ分離

p型ウェル暦

bMOS用しきい値制御砲

第1のゲート酸化酸 11型ウェル層

第2のゲート酸化脱 第1のゲート電極 1 0 A 9 B

第2のゲート配極 1 0 B

TEOS膜

(10)

[83]

特開平13-044437

11110-C1.1-14114

6

22B 第2のゲート上部電極

1.2.A n型低酸度ソース領域 1.2.B n型低酸度ドレイン領域

14A 第1のサイドウォール 14B 第2のサイドウォール 15A 第1の顕口部

15B 第2の開口部 16 アモルファスシリコン影

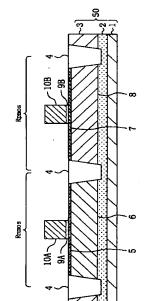
19 nMOS用ドレイン結底 20 pMOS用ソース結底

20 pMOS用ソース指摘 21 pMOS用ドレイン結構 22A 第1のゲート上部結構

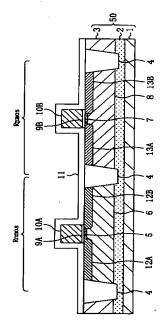
R pmos p.MOS形成領域

n MOS 用ドレイソツリサイド結構 pMOS用ドレイソツリサイド結衝 第1のゲート上部シリサイド配権 第2のゲート上部シリサイド電極 nMOSEソースツリサイド転落 D MOS用ソースツリサイド船底 p 型石濃度 ドレイン領域 n 型高濃度ドレイン領域 p 型高設度ソース領域 n 型位徴度ソース領域 Rumus n MOS形成短板 SOI基板 23A 2 3 B 2 4 A 2 4 B 2 9 A 2 9 B 5 0 2 5 . 8 2 2 6

[13]

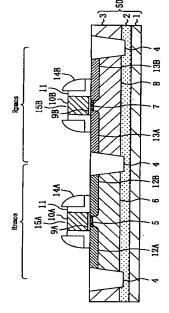


[13]

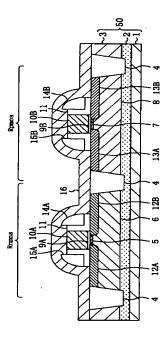


9A 10A 9B 10B 14B 113B 4 13A 7 8 13B 4

[<u>x</u>



[图3]



特開平13-044137

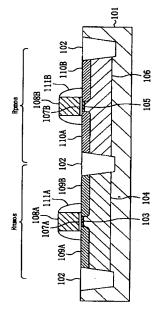
(=)

[图6]

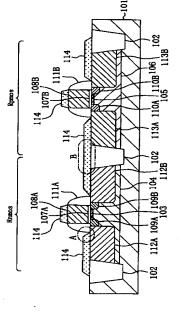
Remos



[6周]







Romos

[区]

5F110 AA02 AA03 AA06 AA08 AA17

フロントページの続き

Fターム(参考) 5F040 DA06 DA10 DR03 EB12 EC07

[88]

Rumos

EF02 EH02 EK05 FA05 FA07 FB02 FB07 FC13

BB04 CC02 DD05 DD13 EE09 EE32 FF02 GG02 GG13 GG52

HJ01 HJ14 HK05 HK08 HK25 HK27 HL05 HL08 HL26 HN15 NK62 NK65 QQ05

12A 5 6 12B 23B 4 24A 13A